

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006 年 1 月 5 日 (05.01.2006)

PCT

(10)
WO 2006/001249 A1

(51) 国際特許分類⁷: HOIL 29/78, 21/8238, 21/336
(21) 国際出願番号: PCT/JP2005/01 1260
(22) 国際出願日: 2005 年 6 月 20 日 (20.06.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語

ほ0) 優先権データ:
特願2004-187240 2004 年 6 月 25 日 (25.06.2004) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 倭 OHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 大路 洋 (OJI, Hiroshi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 P—ム株式会社内 Kyoto (JP).

(74) 代理人: 高田 守, 外 (TAKADA, Mamoru et al.); 〒1600007 東京都新宿区荒木町 2 〇番地 インテック 8 8 ビル 5 階 特許業務法人 高田・高橋国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, 1K, MN, MW, 1X, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), -X—ラシ T (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

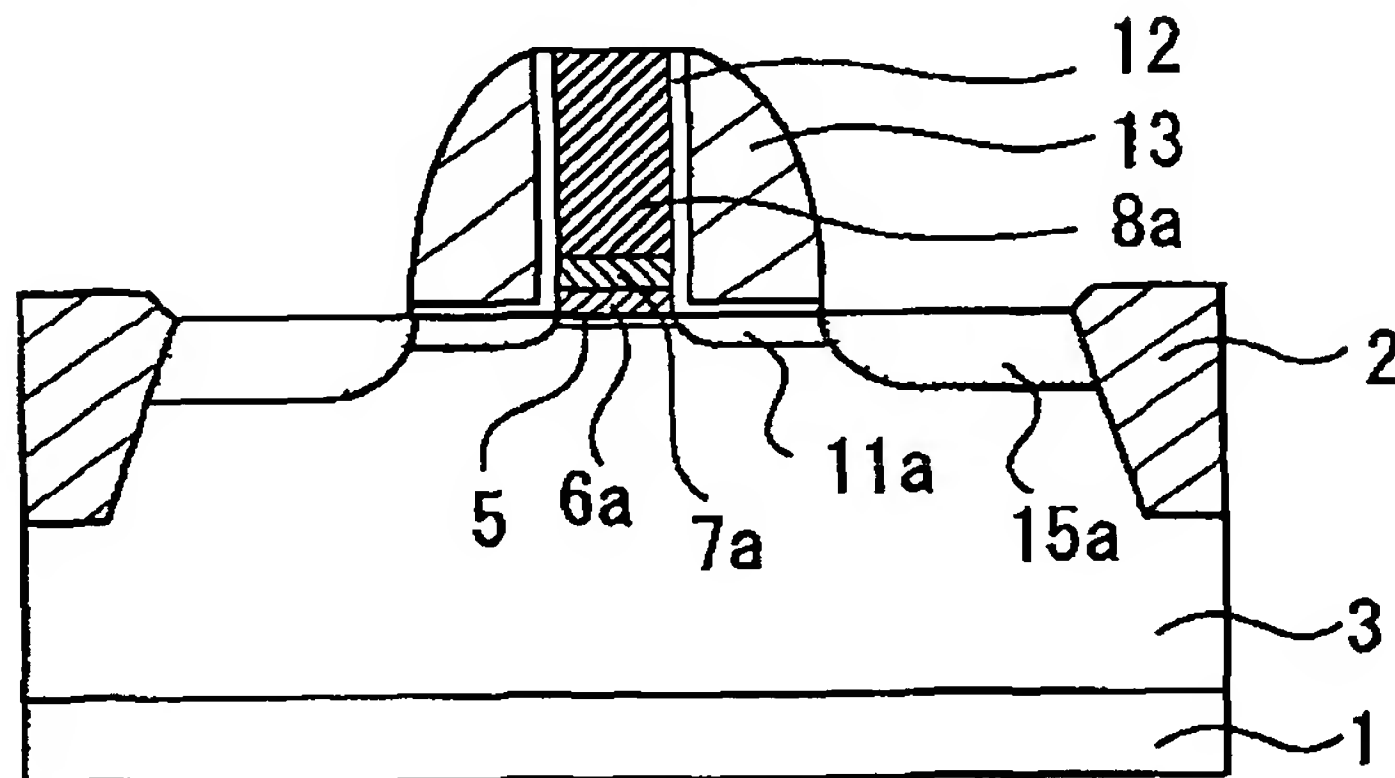
添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A p-type well is formed in the upper layer of a silicon substrate. A p-type low concentration layer is formed in the topmost surface layer of the p-type well by implanting arsenic ions and conducting a heat treatment. An HfAlO_x film and a polysilicon film are sequentially formed on top of the substrate. A gate electrode is formed by patterning the polysilicon film. An n-type extension region is formed by implanting arsenic ions while using the gate electrode as a mask. Then, a side wall spacer is formed on the side wall of the

gate electrode. An n-type source/drain region is formed by implanting arsenic ions while using the side wall spacer and the gate electrode as a mask.

(57) 要約: シリコン基板上層に p 型ウェルを形成する。p 型ウェルの極表層に砒素イオンを注入し、熱処理を行うことにより p 型低濃度層を形成する。基板上に HfAlO_x 膜とポリシリコン膜を積層する。ポリシリコン膜をパターニングしてゲート電極を形成する。ゲート電極をマスクとして砒素イオンを注入して n 型エクステンション領域を形成する。その後、ゲート電極側壁にサイドウォールスペーサを形成する。サイドウォールスペーサ及びゲート電極をマスクとして砒素イオンを注入して n 型ソース/ドレイン領域を形成する。